

jp06061193/pn

L2 ANSWER 1 OF 1 WPINDEX COPYRIGHT 2000 DERWENT INFORMATION LTD  
ACCESSION NUMBER: 1993-337830 [43] WPINDEX  
CROSS REFERENCE: 1993-151736 [18]  
DOC. NO. NON-CPI: N1993-261065  
DOC. NO. CPI: C1993-149418  
TITLE: Processing semiconductor wafer with increased switching  
density - by forming wafer with conducting zones,  
applying dielectric insulating layer, forming contact  
openings, and etching.  
DERWENT CLASS: L03 U11  
INVENTOR(S): CATHEY, D A; SANDHU, G S  
PATENT ASSIGNEE(S): (MICR-N) MICRON TECHNOLOGY INC  
COUNTRY COUNT: 3  
PATENT INFORMATION:

PATENT NO	KIND	DATE	WEEK	LA	PG	MAIN	IPC
DE 4310955	A1	19931021	(199343)*		8	H01L021-90	
US 5298463	A	19940329	(199412)		10	H01L021-465	
JP 06061193	A	19940304	(199414)		7	H01L021-302<--	

APPLICATION DETAILS:

PATENT NO	KIND	APPLICATION	DATE
DE 4310955	A1	DE 1993-4310955	19930402
US 5298463	A CIP of	US 1991-753356	19910830
	CIP of	US 1991-812063	19911217
		US 1992-870603	19920416
JP 06061193	A	JP 1993-90104	19930416

FILING DETAILS:

PATENT NO	KIND	PATENT NO
US 5298463	A CIP of	US 5206187

PRIORITY APPLN. INFO: US 1992-870603 19920416

INT. PATENT CLASSIF.:

MAIN: H01L021-302; H01L021-465; H01L021-90  
SECONDARY: H01L021-28; H01L021-285; H01L023-522

BASIC ABSTRACT:

DE 4310955 A UPAB: 19940510

A semiconductor wafer is processed by: (a) forming a wafer having several conducting zones, whose upper sides are at different heights and defining an upper zone and a lower zone; (b) applying a planar dielectric insulating layer on the wafer; (c) providing the dielectric layer with a pattern to define contact openings; (d) etching the contact openings; (e) applying an etch-stop layer on the upper side of the upper conducting

zone; and (f) etching the contact openings in the insulating layer, in which the etch-stop layer on the upper conducting zone serves as a protecting layer.

ADVANTAGE - Switching density is increased during processing.

Dwg. 3/8

FILE SEGMENT:	CPI EPI
FIELD AVAILABILITY:	AB; GI
MANUAL CODES:	CPI: L04-C13A
	EPI: U11-C05D3; U11-C05D4

(11)特許出願公開番号

特開平6-61193

(43)公開日 平成6年(1994)3月4日

### 技術表示箇所

J 9277-4M

U 9055-4M

審査請求 未請求 請求項の数10(全 7 頁)

**最終頁に続く**

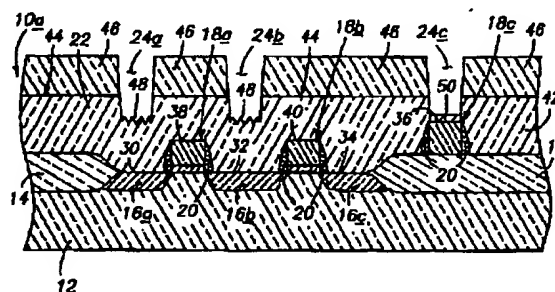
(54) 【発明の名称】 半導体ウエーハを処理する方法

(57) 【要約】 (修正有)

【目的】 半導体ウエーハを処理する方法を提供する。

【構成】 本方法は以下の工程を備える。(a) ウエーハ10aの種々の高さにある外側面30、32、34、36を有する高位置の導電性領域及び低位置の導電性領域を形成する。(b) ウエーハの上に絶縁誘電層42を設ける。(c) 絶縁誘電層を通して種々の高さにある導電性領域まで伸びる複数の接触開口24a、24b、24cを形成するように絶縁誘電層をパターニングする。

(d) この絶縁誘電層の中で複数の接触開口を下方へエッチングし、高位置の導電性領域の外側面でエッチングを止める。(e) 高位置の導電性領域の外側面の上にエッチストップ材料の層50を選択された厚みまで選択的に堆積。(f) 高位置の導電性領域の上に選択的に堆積されたエッチストップ材料の層をエッチストップ保護層として複数の接触開口をバターニングした絶縁誘電層にエッチング。



## 【特許請求の範囲】

【請求項1】 半導体ウエーハを処理する方法において、

ウエーハの種々の高さに位置する外側面を有する複数の導電性領域を形成し、これにより、少なくとも1つの高位置の導電性領域及び少なくとも1つの低位置の導電性領域が形成されるようにウエーハを製造する工程と、前記ウエーハの上に平坦化された絶縁誘電層を設ける工程と、

前記絶縁誘電層を通して種々の高さにある選択された導電性領域まで伸びる複数の接触開口を形成するように前記絶縁誘電層をパターニングする工程と、

前記パターニングされた絶縁誘電層の中で前記複数の接触開口を下方へエッチングし、電気的な接触が行われることになる前記高位置の導電性領域の外側面で該エッチングを止めるようにする第1のエッチング工程と、

前記第1のエッチング工程の後に、前記高位置の導電性領域の前記外側面の上にエッチストップ材料の層を選択された厚みまで選択的に堆積させる工程と、

前記高位置の導電性領域の上に選択的に堆積された前記エッチストップ材料の層をエッチストップ保護層として用いることにより、電気的な接触が行われることになる前記低位置の導電性領域の外側面まで、前記複数の接触開口を前記パターニングされた絶縁誘電層にエッチングする第2のエッチング工程とを備える半導体ウエーハを処理する方法。

【請求項2】 請求項1の半導体ウエーハを処理する方法において、前記高位置の導電性領域が、導電性ドーパ処理されたシリコン、WSi<sub>3</sub>及びTiSi<sub>3</sub>から成る群から選択される材料を含むことを特徴とする半導体ウエーハを処理する方法。

【請求項3】 請求項1の半導体ウエーハを処理する方法において、前記エッチストップ材料が導電性を有することを特徴とする半導体ウエーハを処理する方法。

【請求項4】 請求項1の半導体ウエーハを処理する方法において、前記エッチストップ材料が絶縁性を有し、前記第2のエッチング工程の後に、前記ウエーハから前記エッチストップ材料をエッチングする工程を更に備えることを特徴とする半導体ウエーハを処理する方法。

【請求項5】 請求項1の半導体ウエーハを処理する方法において、前記エッチストップ材料が、W、TiSi<sub>3</sub>及びAlから成る群から選択される材料を含むことを特徴とする半導体ウエーハを処理する方法。

【請求項6】 半導体ウエーハを処理する方法において、

ウエーハの種々の高さに位置する外側面を有する複数の導電性領域を形成し、これにより、少なくとも1つの高位置の導電性領域及び少なくとも1つの低位置の導電性領域が形成されるようにウエーハを製造する工程と、

前記ウエーハの上に平坦化された絶縁誘電層を設ける工

程と、

前記平坦化された絶縁誘電層の上にホトレジスト層を設ける工程と、

前記ホトレジストを写真露光し且つ現像し、前記ホトレジストを通して前記絶縁誘電層まで伸びる複数の選択された開口のパターンを形成し、これにより、前記絶縁誘電層を通して種々の高さにある導電性領域まで伸びる複数の接触開口を画定する工程と、

前記パターニングされた絶縁誘電層の中で前記複数の接触開口を下方へエッチングし、電気的な接触が行われることになる前記高位置の導電性領域の外側面で該エッチングを止めるようにする第1のエッチング工程と、

前記第1のエッチング工程の後に、且つ前記ホトレジスト層がまだ存在する状態において、前記高位置の導電性領域の前記外側面の上にエッチストップ材料の層を選択された厚みまで選択的に堆積させる工程と、

前記ホトレジスト層が未だ存在する状態において、前記高位置の導電性領域の上に選択的に堆積された前記エッチストップ材料の層をエッチストップ保護層として用いることにより、電気的な接触が行われることになる前記低位置の導電性領域の外側面まで、前記複数の接触開口を前記パターニングされた絶縁誘電層にエッチングする第2のエッチング工程と、

前記ウエーハからホトレジストを取り除く工程とを備える半導体ウエーハを処理する方法。

【請求項7】 請求項6の半導体ウエーハを処理する方法において、前記エッチストップ材料が絶縁性を有し、前記第2のエッチング工程の後に、前記ウエーハから前記エッチストップ材料をエッチングする工程を更に備えることを特徴とする半導体ウエーハを処理する方法。

【請求項8】 半導体ウエーハを処理する方法において、

ウエーハの種々の高さに位置する外側面を有する導電性領域を形成し、これにより、(a)高位置の導電性領域、(b)前記高位置の導電性領域よりも低い位置にある二番目に高い導電性領域、及び(c)低位置の導電性領域が形成されるようにウエーハを製造する工程と、

前記二番目に高い導電性領域の外側面から第1の距離だけ高さ方向に離れた上面を有する平坦化された絶縁誘電層を前記ウエーハの上に設ける工程と、

前記平坦化された絶縁誘電層の上にホトレジスト層を設ける工程と、

前記ホトレジストを写真露光し且つ現像し、前記ホトレジストを通して前記絶縁誘電層の上面まで伸びる複数の選択された開口のパターンを形成し、これにより、前記絶縁誘電層を通して種々の高さにある導電性領域まで伸びる複数の接触開口を画定する工程と、

前記パターニングされた絶縁誘電層の中で前記複数の接触開口を下方へエッチングし、電気的な接触が行われることになる前記高位置の導電性領域の外側面で該エッチ

3

ングを止めることにより接触開口の第1の基部を形成し、これにより、前記第1の基部と前記低位置の導電性領域の外側面との間に前記第1の距離よりも小さな第2の距離を残すようにする第1のエッチング工程と、前記第1のエッチング工程の後に、前記高位置の導電性領域の前記外側面の上にエッチストップ材料の層を選択された厚みまで選択的に堆積させる工程と、前記第1のエッチング工程の後に、前記ウエーハから総てのホトレジストを取り除く工程と、前記ホトレジスト層がウエーハから取り除かれた状態で、前記高位置の導電性領域の上に選択的に堆積された前記エッチストップ材料の層をエッチストップ保護層として用いることにより、電気的な接触が行われることになる前記低位置の導電性領域の外側面まで、前記複数の接触開口を前記パターニングされた絶縁誘電層にエッチングする第2のエッチング工程とを備える半導体ウエーハを処理する方法。

【請求項9】 請求項8の半導体ウエーハを処理する方法において、前記ホトレジストを総て取り除く工程が、前記第1のエッチング工程の後で且つ前記エッチストップ材料を選択的に堆積させる工程の前に実行されることを特徴とする半導体ウエーハを処理する方法。

【請求項10】 請求項8の半導体ウエーハを処理する方法において、前記エッチストップ材料が絶縁性を有し、前記第2のエッチング工程の後に、前記ウエーハから前記エッチストップ材料をエッチングする工程を更に備えることを特徴とする半導体ウエーハを処理する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体ウエーハの処理に関し、より詳細には、種々の高さに設けられるウエーハの接点に対する接触開口を絶縁誘電層を通してエッチングする技術に関する。

【0002】

【従来の技術】 半導体ウエーハの処理においては、回路密度を極力高くし、これにより、半導体チップの最終的な寸法を極力小さくする試みが間断無く行われている。ある集積回路において利用される表面積を極力大きくする方法の1つにおいては、種々のデバイス並びに回路素子をウエーハに投入される。この方法は一般に、パーティカルインテグレーション (vertical integration: 垂直方向の集積) と呼ばれている。回路が複雑になりまたパーティカルインテグレーションがより複雑になるに連れて、ウエーハの微細構成は益々多様になる。高さの差は、ダイにわたって50乃至100パーセントあるいはそれ以上となり、これは、所望の接点をアンダーエッチング及びオーバーエッチングする際に深刻な問題を生ずることがある。すなわち、ある層の複数の接触開口/通路のエッチングを多段階処理工程で行

4

う必要がある。その理由は、必要とされる接点の深さはウエーハの種々の点において大きく変動するからである。

【0003】 上記問題点は、図1及び図2に図解的に示されている。図1を参照すると、半導体ウエーハ10は、バルク基板12と、酸化物のフィールド領域14と、導電性ドーブ処理されたシリコンを含むアクティブ領域16a、16b、16cと、導電性のランナ18a、18b、18cとを備えている。ランナ18の側部は、一般には酸化物である絶縁性のスペーサ材料20によって包囲されている。平坦化された絶縁酸化物から成る層22がウエーハの頂部層をもたらしめている。この例の目的すなわち意図は、領域16a、16b及びランナ18cの上面に対する接触開口をエッチングすることである。しかしながら、絶縁層22の中にあるランナ18cの上面の高さは、領域16a、16bの上面の高さとは大幅に異なっている。

【0004】 エッチングの際の問題点が図2に示されている。接触開口/通路24a、24b、24cが、それぞれ領域16a、16b及びランナ18cの上方の絶縁層22から形成され始めている状態が図示されている。開口24cは、ランナ18cの上面の深さまでエッチングされている状態で示されている。しかしながら、開口24a、24bに関しては、領域16a、16bの上面まで連続的に下がるように絶縁層22を更にエッチングする必要がある。そのようなエッチングを引き続き行くと、領域18cは過剰にエッチングされ、ランナ18cに損傷を与えてこれを破壊することになる。

【0005】 ランナ18cは一般に、WSi<sub>3</sub>又はTiSi<sub>3</sub>等の導電性のより高いケイ化物の上面を有する、例えば導電性ドーブ処理されたポリシリコン等のシリコンから基本的に構成される。絶縁誘電層22は一般に、SiO<sub>2</sub>から基本的に構成される。エッチングの化学的な特性は、エッチングの間にエッチングが接点18cに到達した時点において、ポリシリコンよりも多量のSiO<sub>2</sub>が除去されるように選択するのが好ましい。しかしながら、開口24a、24bのエッチングを引き続き行う間にランナ18cの露呈された材料がかなりの程度エッチングされ、回路の損傷又は回路の欠陥を生ずることがある。

【0006】 上述の欠点を解消するために現在行われている1つの代表的な方法においては、フォトリソを施し、開口24a、24bのエッチングを開口24cのエッチングから分離させている。そのような多段階工程により接点のエッチングを行うことは、生産量を減少させ、これに応じて全体的な工程のコストを増大させる。

【0007】

【発明が解決しようとする課題】 本発明の目的は、従来技術に伴う上述の及び他の欠点を解消することである。

【0008】

5

【課題を解決するための手段】本発明の1つの特徴によれば、半導体ウエーハを処理する方法はウエーハの種々の高さに位置する外側面を有する複数の導電性領域を形成し、これにより、少なくとも1つの高位置の導電性領域及び少なくとも1つの低位置の導電性領域が形成されるようにウエーハを製造する工程と、上記ウエーハの上に平坦化された絶縁誘電層を設ける工程と、上記絶縁誘電層を通して種々の高さにある選択された導電性領域まで伸びる複数の接触開口を形成するように上記絶縁誘電層をパターニングする工程と、上記パターニングされた絶縁誘電層の中で上記複数の接触開口を下方へエッチングし、電気的な接触が行われることになる上記高位置の導電性領域の外側面で該エッチングを止めるようにする第1のエッチング工程と、上記第1のエッチング工程の後に、上記高位置の導電性領域の上記外側面の上にエッチストップ材料の層を選択された厚みまで選択的に堆積させる工程と、上記高位置の導電性領域の上に選択的に堆積された上記エッチストップ材料の層をエッチストップ保護層として用いることにより、電気的な接触が行われることになる上記低位置の導電性領域の外側面まで、上記複数の接触開口を上記パターニングされた絶縁誘電層にエッチングする第2のエッチング工程とを備える。

【0009】本発明の別の特徴によれば、半導体ウエーハを処理する方法は、ウエーハの種々の高さに位置する外側面を有する複数の導電性領域を形成し、これにより、少なくとも1つの高位置の導電性領域及び少なくとも1つの低位置の導電性領域が形成されるようにウエーハを製造する工程と、上記ウエーハの上に平坦化された絶縁誘電層を設ける工程と、上記平坦化された絶縁誘電層の上にホトレジスト層を設ける工程と、上記ホトレジストを写真露光し且つ現像し、上記ホトレジストを通して上記絶縁誘電層まで伸びる複数の選択された開口のパターンを形成し、これにより、上記絶縁誘電層を通して種々の高さにある導電性領域まで伸びる複数の接触開口を定義する工程と、上記パターニングされた絶縁誘電層の中で上記複数の接触開口を下方へエッチングし、電気的な接触が行われることになる上記高位置の導電性領域の外側面で該エッチングを止めるようにする第1のエッチング工程と、上記第1のエッチング工程の後に、且つ上記ホトレジスト層がまだ存在する状態において、上記高位置の導電性領域の上記外側面の上にエッチストップ材料の層を選択された厚みまで選択的に堆積させる工程と、上記ホトレジスト層が未だ存在する状態において、上記高位置の導電性領域の上に選択的に堆積された上記エッチストップ材料の層をエッチストップ保護層として用いることにより、電気的な接触が行われることになる上記低位置の導電性領域の外側面まで、上記複数の接触開口を上記パターニングされた絶縁誘電層にエッチングする第2のエッチング工程と、上記ウエーハからホトレジストを取り除く工程とを備える。

6

【0010】本発明の更に別の特徴によれば、半導体ウエーハを処理する方法は、ウエーハの種々の高さに位置する外側面を有する導電性領域を形成し、これにより、

(a) 高位置の導電性領域、(b) 上記高位置の導電性領域よりも低い位置にある二番目に高い導電性領域、及び(c) 低位置の導電性領域が形成されるようにウエーハを製造する工程と、上記二番目に高い導電性領域の外側面から第1の距離だけ高さ方向に離れた上面を有する平坦化された絶縁誘電層を上記ウエーハの上に設ける工程と、上記平坦化された絶縁誘電層の上にホトレジスト層を設ける工程と、上記ホトレジストを写真露光し且つ現像し、上記ホトレジストを通して上記絶縁誘電層の上面まで伸びる複数の選択された開口のパターンを形成し、これにより、上記絶縁誘電層を通して種々の高さにある導電性領域まで伸びる複数の接触開口を定義する工程と、上記パターニングされた絶縁誘電層の中で上記複数の接触開口を下方へエッチングし、電気的な接触が行われることになる上記高位置の導電性領域の外側面で該エッチングを止めることにより接触開口の第1の基部を形成し、これにより、上記第1の基部と上記低位置の導電性領域の外側面との間に上記第1の距離よりも小さな第2の距離を残すようにする第1のエッチング工程と、上記第1のエッチング工程の後に、上記高位置の導電性領域の上記外側面の上にエッチストップ材料の層を選択された厚みまで選択的に堆積させる工程と、上記第1のエッチング工程の後に、上記ウエーハから総てのホトレジストを取り除く工程と、上記ホトレジスト層がウエーハから取り除かれた状態で、上記高位置の導電性領域の上に選択的に堆積された上記エッチストップ材料の層をエッチストップ保護層として用いることにより、電気的な接触が行われることになる上記低位置の導電性領域の外側面まで、上記複数の接触開口を上記パターニングされた絶縁誘電層にエッチングする第2のエッチング工程とを備える。

【0011】

【実施例】同一の符号により同一の要素を示す図面を参照しながら以下の説明を読むことにより、1又はそれ以上の好ましい実施例の構造並びにその処理方法が理解されよう。

【0012】最初に図3乃至図5を参照して好ましい一実施例を説明する。図3は、図1と同様のウエーハ10aを示しており、このウエーハには、酸化物のフィールド領域14と、アクティブ領域16a、16b、16cと、ランナ18a、18b、18cと、絶縁性のスペーサ酸化物20とが形成されている。以下の記載においては、領域16a、16b、16c並びにランナ18cが、外側面30、32、34、36をそれぞれ有する複数の導電性領域を形成しているものとして説明を続ける。表面36は、実質的に同一の高さにある表面30、32、34の高さとは異なるすなわち違う高さの領域に

7

ある。ランナ18a、18bもそれぞれ導電性の外側面38、40を有しており、これら外側面は概ね同一の高さにある。外側面36は高い位置にある導電性領域すなわち高位置の導電性領域を形成し、外側面38、40は上記高い位置にある導電性領域よりも低い位置にある二番目に高い位置にある導電性領域すなわち中位置の導電性領域を形成し、領域30、32、34は、低い位置にある導電性領域すなわち低位置の導電性領域を形成している。高位置の導電性領域及び中位置の導電性領域は一般に、 $WSi_x$ 又は $TiSi_x$ 等のケイ化物から成る層から構成される。低位置の導電性領域は一般に、導電性ドーパ処理された活性化されたシリコン基板領域から構成される。

【0013】上面44を有する平坦化された絶縁誘電層42が、図示のようにウエーハの上に設けられている。この層の材料の一例としては、ホウ素及び/又はリンでドーパ処理された $SiO_2$ がある。ホトレジストから成る層46が平坦化された絶縁誘電層42の上に設けられている。ホトレジスト層46は、写真露光されかつ現像されて複数の選択された開口24a、24b、24cから成るパターンを形成し、これら開口は、ホトレジスト層を貫通して絶縁誘電層の上面44に達し、異なった高さにある導電性領域に対する複数の接触開口を絶縁誘電層42を貫通して形成する。これにより、絶縁誘電層42は、上述の接触開口を形成するようにパターンニングされる。

【0014】図4を参照すると、ホトレジスト層46が未だ存在している状態で、最初に接触開口24a、24b、24cが、絶縁層42の中へ下方にエッチングされ、電気的な接触を行うべき高位置の導電性領域の外側面36でエッチングが停止する。ポリシリコン、 $WSi_x$ 及び $TiSi_x$ に対して高い選択性を有するエッチングの化学組成の一例においては、700ワットの電力で、 $CHF_3$ 、Ar及び $CF_4$ をそれぞれ35sccm、60sccm、25sccmの割合で流す。これにより、接触開口24a、24bの最初の基部48が形成される。最初のすなわち第1のエッチングの後に、高位置の導電性領域の外側面36の上にエッチストップ材料から成る層50が選択された厚みまで選択的に堆積される。層50の好ましい材料はタングステンであり、当業者には周知のように、タングstenは、露呈されたシリコン表面にだけ付着するように選択的に堆積させることができる。一例として、ウルフ外(Wulf et al.)は、そのような技術を開示している("Silicon Processing for the VLSI Era, Vol. 1-Process Technology"の402-403頁:1986年にカリフォルニア州サンセリトビーチのLattice Pressが発行)。他の動作可能なエッチストップ材料の例としては、 $TiSi_x$ 及びAlがある。そのような選択的な

8

堆積の他の例はまた、1991年のVLSI Conference Proceedingsで発表されたツネナリ外(Tsunenari et al.)の論文("Electrical Characteristics Of Selective Tungsten Plugged Contacts Under The Optimized Condition")に開示されている。

【0015】図5を参照すると、ホトレジスト層46がまだ存在する状態で、接触開口24a、24bが、パターンニングされた絶縁材料42の中へエッチングされ、電気的な接触を行うべき低位置の導電性領域の外側面30、32に達しており、その際には、この第2のエッチングを行う間のエッチストップ保護層として、エッチストップ層50が高位置の導電性領域の外側面36の上に設けられる。層42が $SiO_2$ から成り、層50の材料がWから成る場合のエッチングの化学組成の一例として、上述のように、700ワットの電力で、 $CHF_3$ 、Ar及び $CF_4$ をそれぞれ35sccm、60sccm及び25sccmの割合で流す方法がある。この場合には、タングステンに対する $SiO_2$ の選択的なエッチングの割合が10:1となる。層50の選択された厚みは、外側面30、32に対するエッチストップが生ずる前に層50の総ての材料が除去されないように、実行されている選択的なエッチングと相対的に選択される。層50の好ましい厚みの例は約2000オングストロームである。その後、ウエーハからホトレジスト層46が取り除かれる(図示せず)。

【0016】エッチストップ層50は、導電性又は非導電性の材料から構成することができる。非導電性材料の例としては、 $Si_3N_4$ 等の窒化物がある。エッチストップ材料が非導電性の場合には、その後導電性の材料を設けて接触開口24cを充填し、これにより要素18cと電気的に接続する前に、エッチストップ材料をウエーハからエッチングする別の工程を第2のエッチングの後に実行する。

【0017】本発明の代替的な方法を図6乃至図8を参照して説明する。図6乃至図8においては、適正な範囲で図3乃至図5の実施例の符号と同一の符号を用いており、若干異なる構造に対しては、図3乃至図5の実施例の符号に添字「x」を付してある。図6は、変更されたウエーハ構造10xを示している。ウエーハの断片10xは誘電層42xを備えており、この誘電層は符号10aで示す実施例の誘電層42よりも大きな厚みを有している。以下においては、層42xが、図示のように第1の距離「A」だけ外側面38、40(中位置の導電性領域)から上方へ離れた上面44xを有するものとして説明を続ける。

【0018】図7を参照すると、ホトレジストが施され且つパターンニングされており、接触開口24a、24

b、24cが第1のエッチングを受け、高位置の導電性領域の外側面36で停まっている。エッチストップ層50が設けられている。上述の第1のエッチングは、接触開口24a、24bの第1の基部48と低位置の導電性領域の外側面30、32との間に第2のエッチング距離「B」を残している。第1の距離「A」は第1の距離「B」よりも大きい。この関係は、図3乃至図5の実施例においては反対である。

【0019】上述のように「A」が「B」よりも大きい関係は、ホトレジストを用いることなくその後層42をエッチングし、接触開口24a、24bを外側面30、32に向けて下方へ延ばすことを可能にする。エッチング寸法「B」がエッチング寸法「A」よりも小さいので、層42の材料が大量に除去されて上面38、40が上方に露出されるという望ましくない状態が生ずる前に、層30、32でエッチストップが生ずるようにタイミングを調節することができる。ホトレジストは、層50が選択的に堆積される前に取り除かれる。

【0020】上述の技術は、種々の深さを有する接点通路をエッチングし、接点のより高い位置にある基部の材料がそれ以上エッチングされるのを防止する効果的な方法を提供する。この方法は、基板の中の種々の深さすなわち高さにある接点を効果的にエッチングするために必要とされるマスキング工程を省く。

【0021】上述の各工程は、基本的には同一の装置の中の元の位置で実行することができる。AME5000のようなマルチチャンバ装置においては、エッチング及び選択的な堆積の工程は、ウェーハを真空雰囲気において状態で、同一のチャンバ又は異なった2つのチャンバ

で実行することができる。

【0022】

【発明の効果】本発明によれば、基板の中の種々の深さすなわち高さにある接点を効果的にエッチングするために必要とされるマスキング工程を省くことができる。

【図面の簡単な説明】

【図1】従来の技術の項で説明した従来技術のウェーハの概略的な断面図である。

【図2】図1に示す処理工程の次の処理工程にある図1のウェーハの概略的な断面図である。

【図3】本発明に従って処理される半導体ウェーハの概略的な断面図である。

【図4】図3に示す処理工程の次の処理工程にある図3のウェーハの概略的な断面図である。

【図5】図4に示す処理工程の次の処理工程にある図3のウェーハの概略的な断面図である。

【図6】本発明に従って処理される代替的な半導体ウェーハの概略的な断面図である。

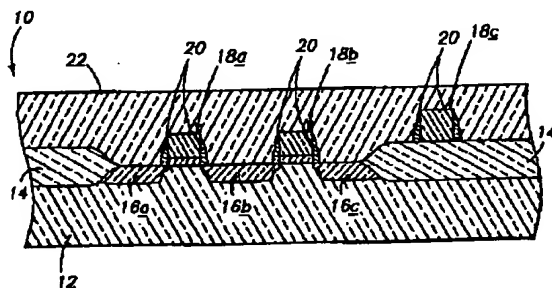
【図7】図6に示す処理工程の次の処理工程にある図6のウェーハの概略的な断面図である。

【図8】図7に示す処理工程の次の処理工程にある図6のウェーハの概略的な断面図である。

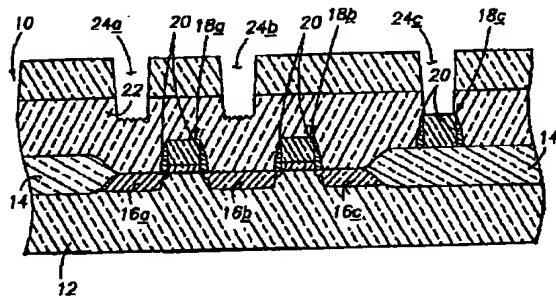
【符号の説明】

10a、10x	半導体ウェーハ	24a、24b、
24c	接触開口	
30、32、34、36	外側面	42、42x 誘電層
50	エッチストップ層	

【図1】

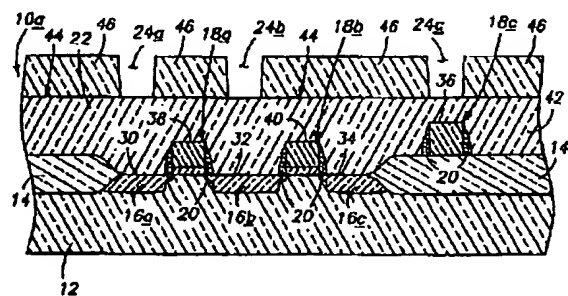


【図2】

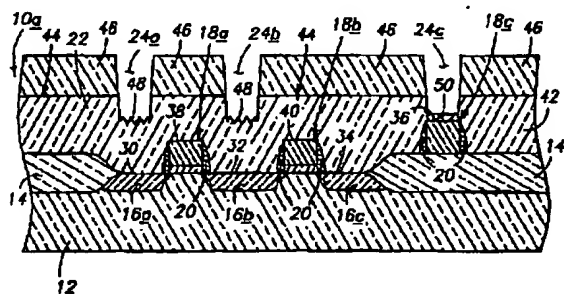




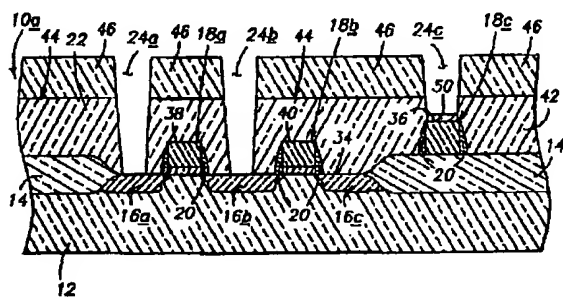
【図3】



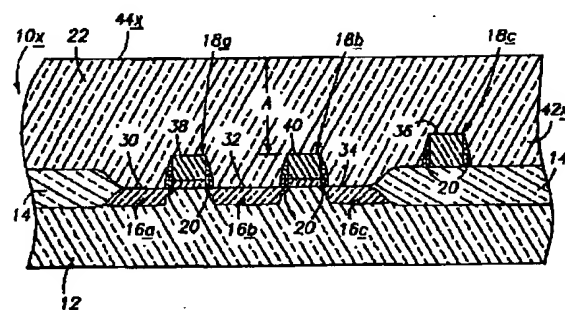
【図4】



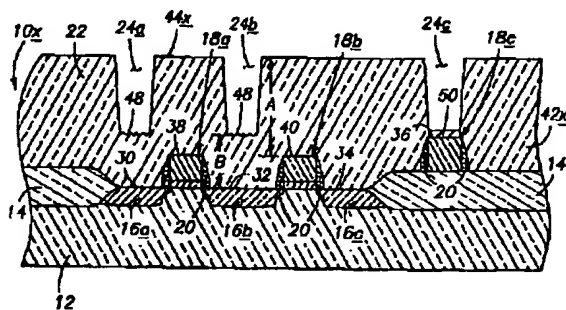
【図5】



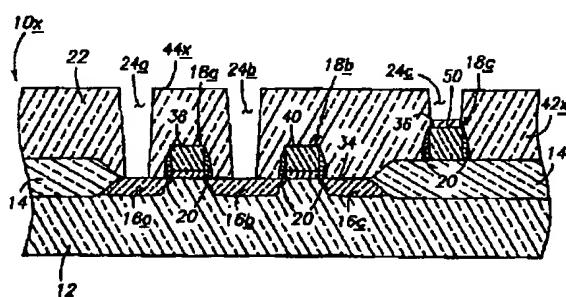
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 デヴィッド・エイ・キャセイ  
 アメリカ合衆国アイダホ州83706, ボイス,  
 ホイスラー・レーン 3374, アパートメン  
 ト 304